Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Кафедра конструювання електронно-обчислювальної апаратури

**Лабораторна робота №1**

**з “Апаратних прискорювачів обчислень на мікросхемах програмованої логіки”**

Виконав:

Івлєв Антон

**студент III-го курсу ФЕЛ**

**гр. ДК-02**

**Дата виконання: 14.01.2023**

Київ – 2023 р.

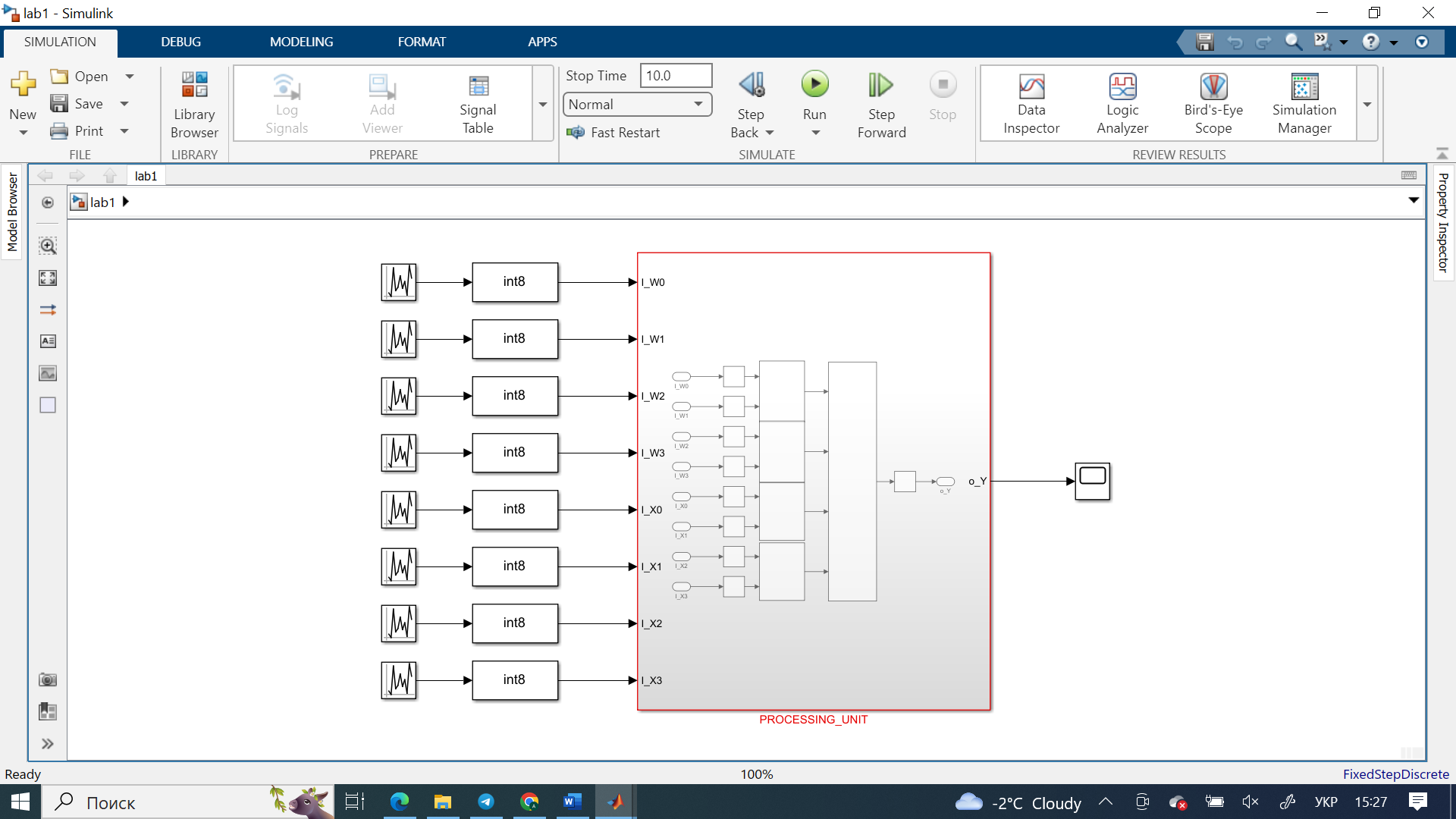
1. **В Simulink реалізувати підсистему, що розраховує функцію:**

**Y = W0\*X0 + W1\*X1 + W2\*X2 + W\*X3**

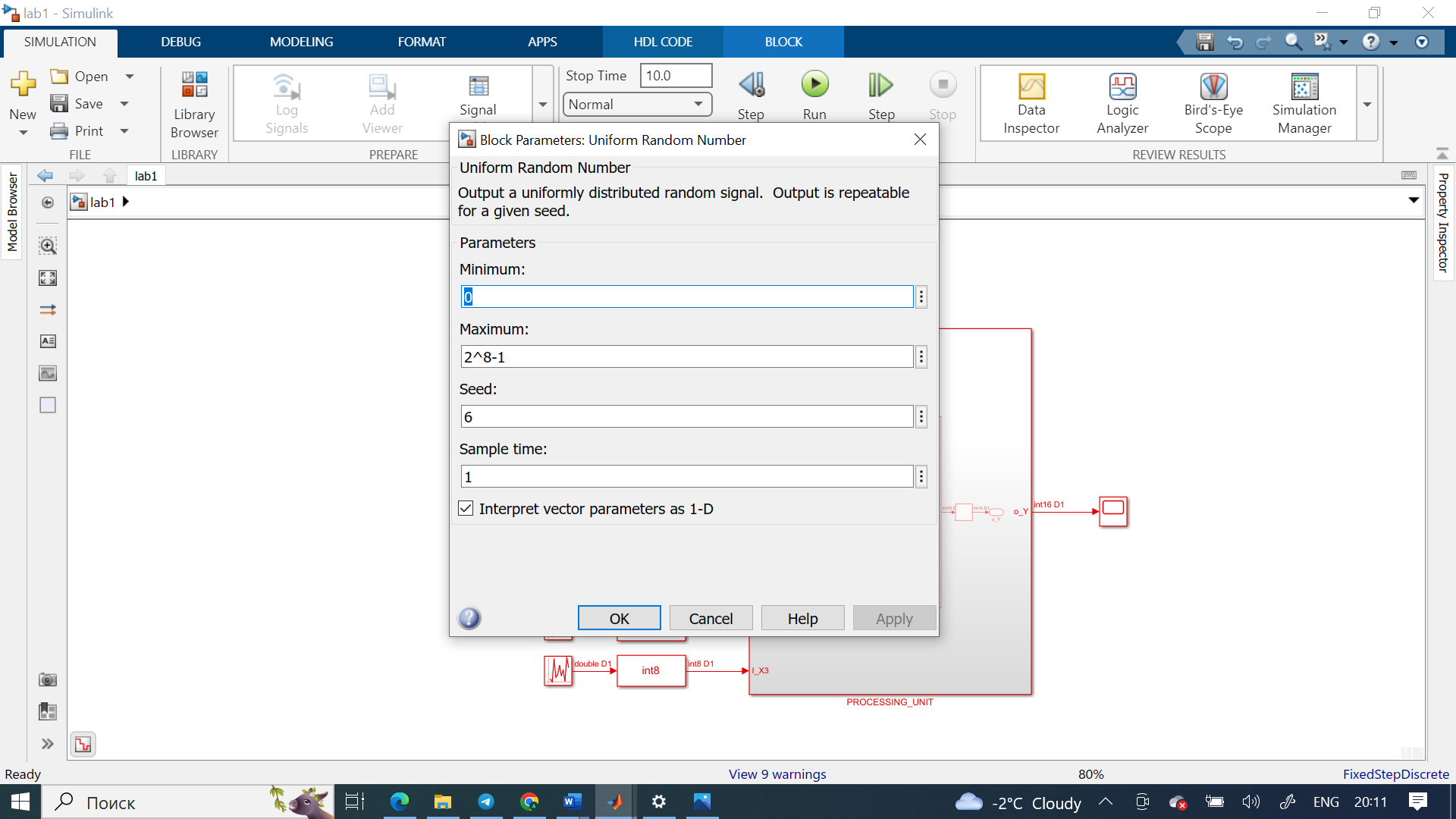
*Типи даних входів: int8;*

*Тип даних виходу: int16*

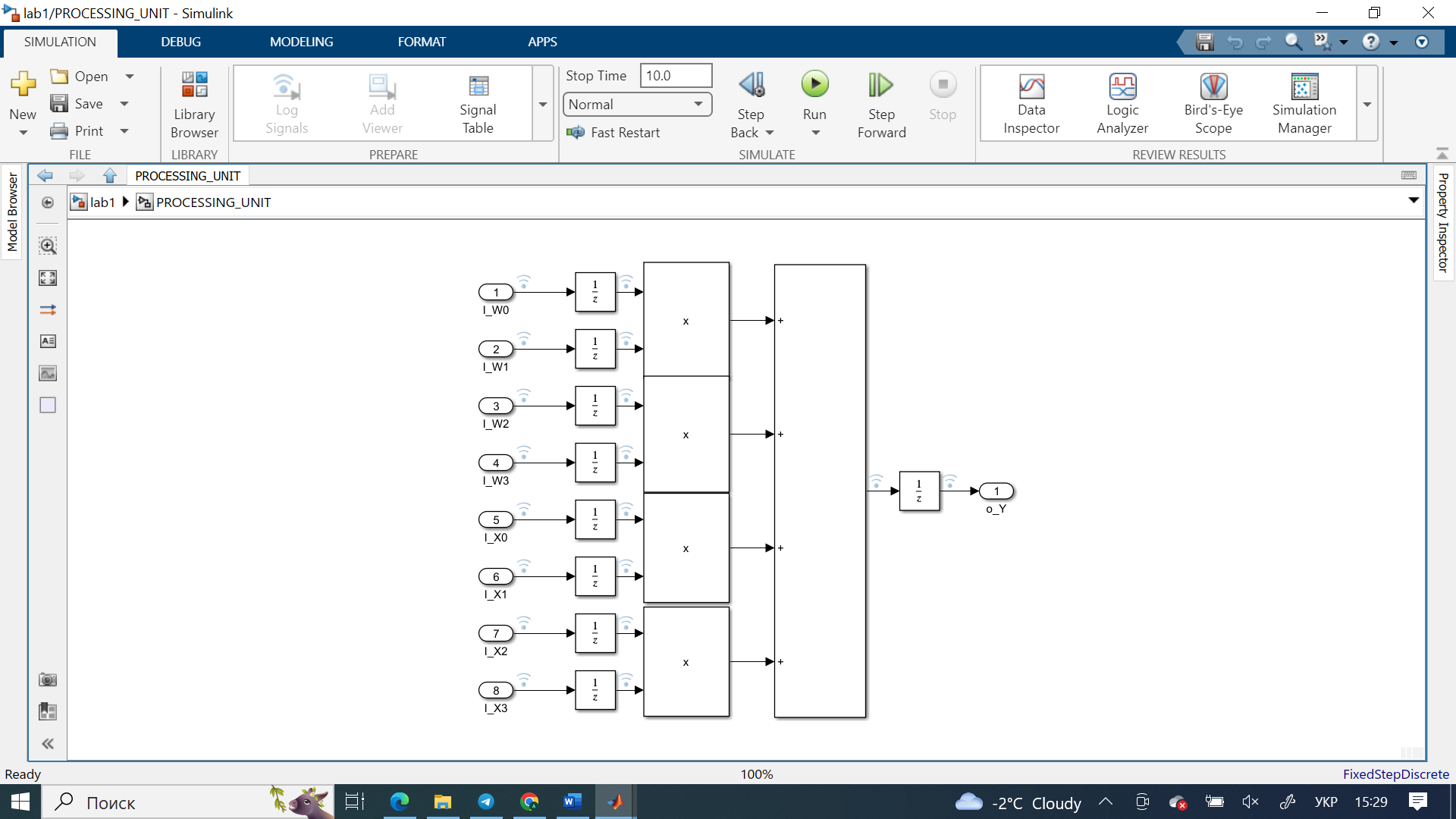
На входах і виході поставити регістри (блок затримки на 1 такт) У якості джерела даних для кожного входу використати блоки “Uniform Random Number” з приведення результату до типу uint8. У якості параметра seed для першого блоку “Uniform Random Number” використати номер варіанту (у якості номеру варіанту можна взяти номер залікової книжки). Для кожного наступного блоку “Uniform Random Number” збільшувати значення seed на 1.



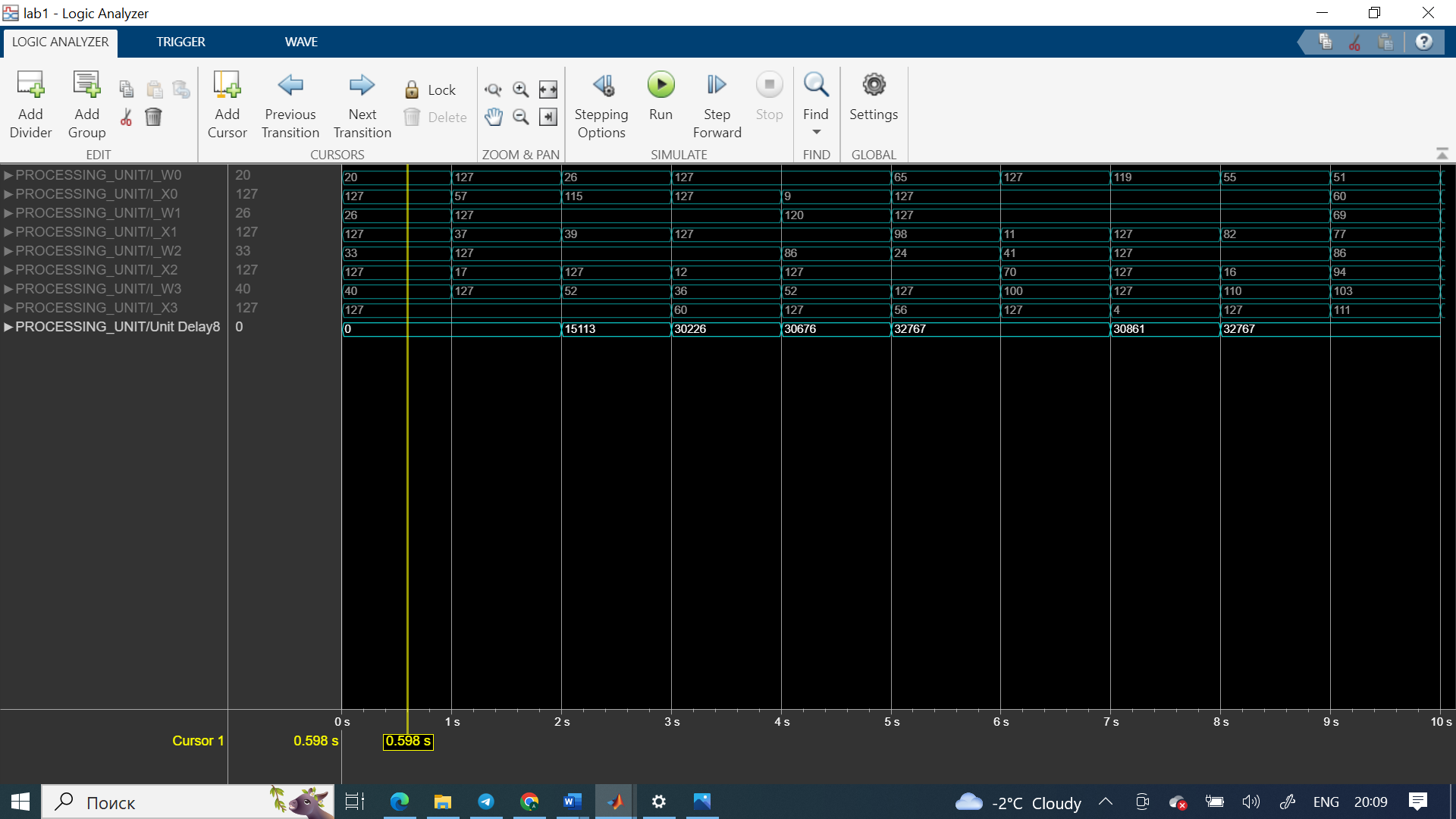
Налаштування URN



Підсистема PROCESSING\_UNIT



1. **В логічному аналазаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі)**

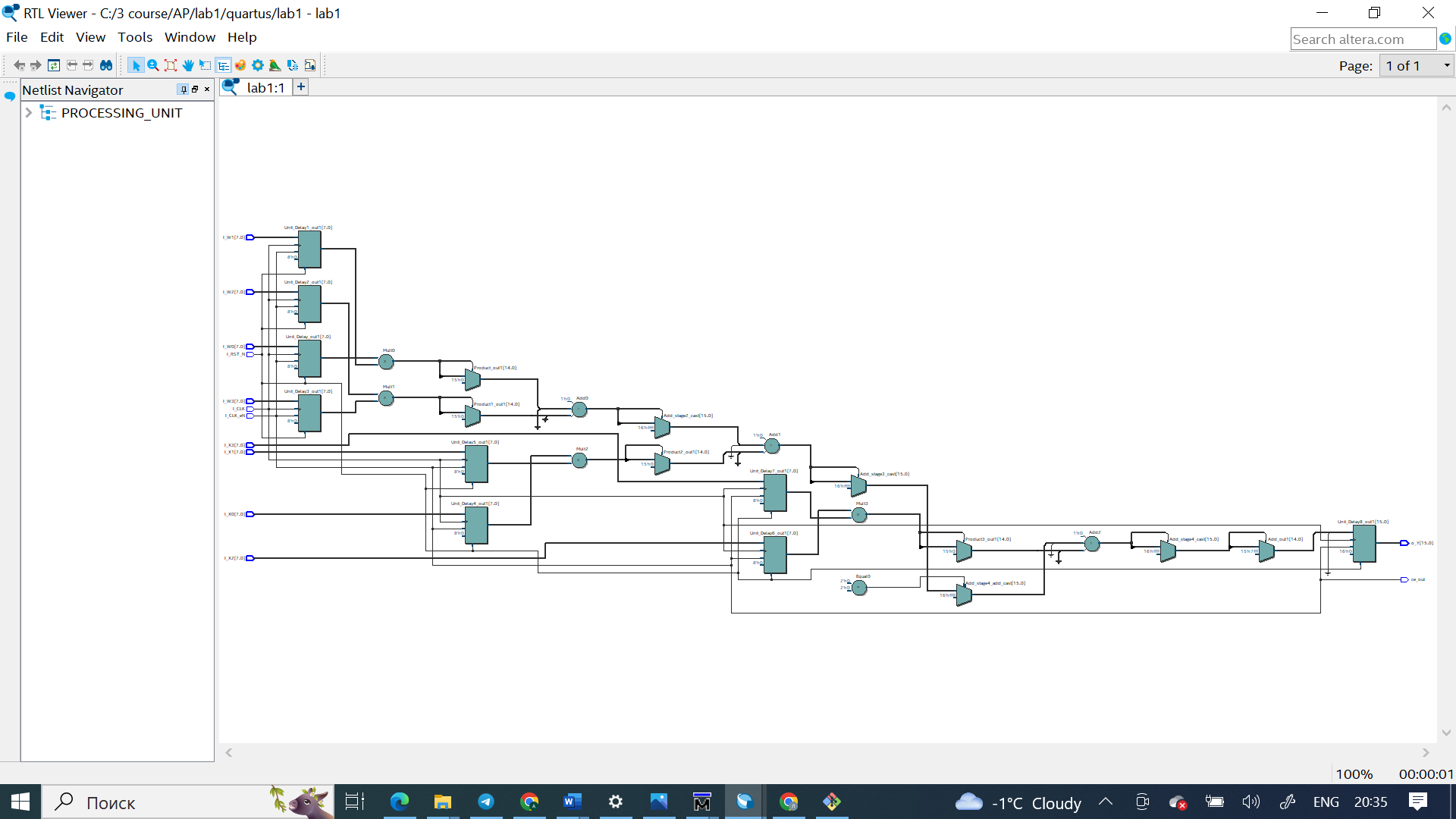


Перевірка корректності розрахунку:

O\_Y = 20\*127+26\*127+33\*127+40\*127 = 15113

Результат зберігається з затримкою згідно умови, на вході і на виході поставили регістри які роблять затримки в 1 такт.

1. **Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали**

Згенерований код Verilog буде прикріплено файлом.   
RTL Viewer:

1. **Якщо створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали**

Результат симуляції тестбенчу

